

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-223599

(43)Date of publication of application : 11.08.2000

(51)Int.Cl. H01L 21/8247
H01L 29/788
H01L 29/792
H01L 21/316
H01L 27/115
H01L 29/78

(21)Application number : 2000-024329

(71)Applicant : LUCENT TECHNOL INC

(22)Date of filing : 01.02.2000

(72)Inventor : SHAOJUN DEN
KIZILYALI ISIK C
KUEHNE STEPHEN C

(30)Priority

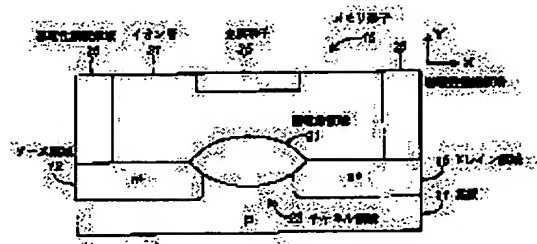
Priority number : 99 241271 Priority date : 01.02.1999 Priority country : US

(54) MEMORY ELEMENT AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide an inexpensive memory element which can be manufactured in a less number of manufacturing steps and/or can have a less number of constituent elements.

SOLUTION: This memory element includes a substrate 11, having a source region 12, a drain region 15, and a channel region 23 therebetween, a first conductive region 26 connected to the source region 12, a second conductive region 28 connected to the drain region 15, an ion layer 31 containing ions and connected to the substrate 11, and a means 35 for moving the ions in such a manner as to influence the conductive property of the channel region 23. When the memory element is in logical HIGH state, the ions are moved towards the channel region 23 by the polarity of an electric field, so that the channel region 23 becomes conductive. When the element is in logically LOW state, the ions are moved in the direction away from the channel region 23 by the electric field polarity, so that the channel region 23 becomes non-conductive.



LEGAL STATUS

[Date of request for examination] 30.07.2001

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

Searching PAJ

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision
of rejection]

[Date of requesting appeal against examiner's
decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号
特開2000-223599
(P2000-223599A)

(43) 公開日 平成12年8月11日 (2000.8.11)

(51) Int.Cl. ⁷	識別記号	F I	テマコード* (参考)
H 0 1 L 21/8247		H 0 1 L 29/78	3 7 1
29/788		21/316	P
29/792			X
21/316		27/10	4 3 4
		29/78	3 0 1 J

審査請求 未請求 請求項の数20 O L (全 10 頁) 最終頁に続く

(21) 出願番号 特願2000-24329(P2000-24329)

(22) 出願日 平成12年2月1日 (2000.2.1)

(31) 優先権主張番号 09/241271

(32) 優先日 平成11年2月1日 (1999.2.1)

(33) 優先権主張国 米国 (US)

(71) 出願人 596077259

ルーセント テクノロジーズ インコーポ
レイテッド
Lucent Technologies
Inc.

アメリカ合衆国 07974 ニュージャージ
ー、マレーヒル、マウンテン アベニュー
600-700

(72) 発明者 シャオジュン デン

アメリカ合衆国、32837 フロリダ、オー
ランド、シェインウッド コート 4443

(74) 代理人 100081053

弁理士 三俣 弘文

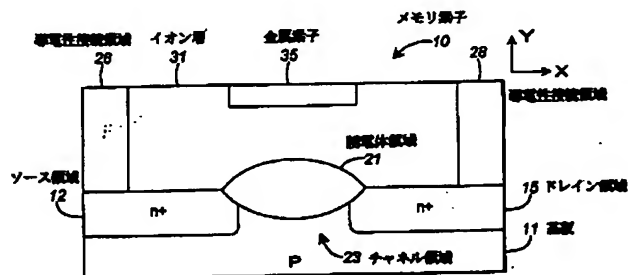
最終頁に続く

(54) 【発明の名称】 メモリ素子とその製造方法

(57) 【要約】

【課題】 安価なメモリ素子を提供すること。

【解決手段】 本発明のメモリ素子は、ソース領域12とドレイン領域15とそれらの間にチャネル領域23とを有する基板11と、前記ソース領域に接続される第1導電性領域26と、前記ドレイン領域に接続される第2導電性領域28と、前記基板に接続されたイオンを含むイオン層31と、前記チャネル領域の導電性に影響を及ぼすように、前記イオンを移動させる手段35とを有する。メモリ素子が論理ハイ状態を表すときには、電界の極性によりイオンはチャネル領域の方向に移動しチャネル領域が導通状態となる。メモリ素子が論理ローの状態を表すときには、電界の極性によりイオンはチャネル領域から離れる方向に移動し、チャネル領域が非導通状態となる。



1

【特許請求の範囲】

【請求項 1】 (A) ソース領域 (12) とドレイン領域 (15) と、それらの間にチャネル領域 (23) とを有する基板と、

(B) 前記ソース領域 (12) に接続される第 1 導電性領域 (26) と、

(C) 前記ドレイン領域 (15) に接続される第 2 導電性領域 (28) と、

(D) 前記基板に接続されたイオンを含むイオン層 (31) と、

(E) 前記チャネル領域の導電性に影響を及ぼすように、前記イオンを移動させる手段 (35) とを有することを特徴とするメモリ素子。

【請求項 2】 前記イオン層と前記チャネル領域との間に形成された誘電体層 (21) をさらに有することを特徴とする請求項 1 記載のメモリ素子。

【請求項 3】 前記イオン層と前記チャネル領域との間に形成された絶縁材料層 (21) をさらに有することを特徴とする請求項 1 記載のメモリ素子。

【請求項 4】 前記イオン層 (21) は、プラズマ体積された TEOS 製であることを特徴とする請求項 1 記載のメモリ素子。

【請求項 5】 前記ソース領域 (12) とドレイン領域 (15) は、p+型の半導体材料製で、前記チャネル領域 (23) は、p型半導体材料製であることを特徴とする請求項 1 記載のメモリ素子。

【請求項 6】 前記イオンを移動させる手段は、前記チャネル領域の反対側の前記イオン層の側に形成された金属領域 (35) を有し、前記金属領域 (35) には、電圧が加えられ、前記イオン層を通過する電界が、前記電圧にตอบสนองすることを特徴とする請求項 1 記載のメモリ素子。

【請求項 7】 前記イオンは、正電荷であることを特徴とする請求項 1 記載のメモリ素子。

【請求項 8】 (A) ソース領域 (12) とドレイン領域 (15) とそれらの間にチャネル領域 (23) とを有する基板 (11) と、

(B) 前記チャネル領域は、メモリデバイスが第 1 状態のときに前記ソース領域とドレイン領域との間で導通し、メモリデバイスが第 2 状態のときに前記ソース領域とドレイン領域の間を絶縁し、

(C) 金属素子 (35) と、

(D) 前記ソース領域に接続される第 1 導電性領域 (26) と、

(E) 前記ドレイン領域に接続される第 2 導電性領域 (28) と、

(F) 前記金属素子と前記チャネル領域との間に形成されるイオンを含有するイオン層 (31) と、

(G) 前記金属素子に接続され、メモリ素子を第 1 状態から第 2 状態に前記イオン層に電界をかけることにより

2

切り換える制御装置 (41) と、

からなり、前記イオンは、電界の変化に応じて移動することを特徴とするメモリ素子。

【請求項 9】 前記電界は、前記金属素子 (35) と基板 (11) との間の電位差により導入されることを特徴とする請求項 8 記載のメモリ素子。

【請求項 10】 前記電界は、前記金属素子 (35) に印加される電圧にตอบสนองすることを特徴とする請求項 8 記載のメモリ素子。

10 【請求項 11】 前記電界は、前記基板 (11) に印加される電圧にตอบสนองすることを特徴とする請求項 8 記載のメモリ素子。

【請求項 12】 前記イオン層と前記チャネル領域の間に形成される誘電体層 (21) をさらに有することを特徴とする請求項 8 記載のメモリ素子。

【請求項 13】 前記イオン層と前記チャネル領域の間に形成される絶縁材料層 (21) をさらに有することを特徴とする請求項 8 記載のメモリ素子。

20 【請求項 14】 前記イオン層 (31) は、プラズマ体積された TEOS 製であることを特徴とする請求項 8 記載のメモリ素子。

【請求項 15】 前記ソース領域とドレイン領域は、n+型の半導体材料製で、前記チャネル領域は、p型半導体材料製であることを特徴とする請求項 8 記載のメモリ素子。

【請求項 16】 前記イオンは、正電荷であることを特徴とする請求項 8 記載のメモリ素子。

30 【請求項 17】 (A) 基板を用意するステップと、(B) 前記基板内にソース領域とドレイン領域を形成するステップと、

(C) 前記基板上に層を形成するステップと、

(D) 前記層内にイオンを形成するステップと、

(E) 前記層に電界を加えるステップと、

(F) 前記ソース領域とドレイン領域との間の基板のチャネル領域内に前記電界を制御することによりチャネル領域の導電性を前記電界を制御することにより制御するステップと、

40 前記電界にตอบสนองして前記イオンを移動させるステップとからなることを特徴とするメモリ内に情報を記憶する方法。

【請求項 18】 (G) 金属素子を形成するステップと、

(H) 前記金属素子の電圧に応じて前記電界を導入するステップとをさらに有することを特徴とする請求項 17 記載の方法。

【請求項 19】 前記 (D) のステップは、前記層を加熱するステップを含むことを特徴とする請求項 17 記載の方法。

50 【請求項 20】 前記層は、プラズマ体積した TEOS 製であることを特徴とする請求項 19 記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、メモリ素子に関し、特にメモリ素子の状態を制御するためにイオンを配置する方法とメモリ素子に関する。

【0002】

【従来の技術】メモリ素子は、少なくとも1ビットの情報記憶する構造体である。通常複数のメモリ素子をプログラムして（即ち、ある論理状態に設定して）、デジタルワードを規定している。各メモリ素子は、デジタルワードの1ビットに対応するビットが、ハイ（高）またはロー（低）であるかによって特定の論理状態に設定される。検出器がデジタルワードを規定するメモリ素子により表される状態を解析することによりデジタルワードの値を決定できる。一般的に、メモリ素子を用いてデジタルワードを規定することは従来公知である。

【0003】多くの従来のメモリ素子は、多数の構成要素および／またはそれを製造するための多くの処理ステップを必要とし、そのためメモリ素子の製造コストが上昇している。

【0004】

【発明が解決しようとする課題】したがって本発明の目的は、製造ステップおよび／またはその構成要素が少ないメモリ素子を提供することである。

【0005】

【課題を解決するための手段】本発明は、上記の従来の欠点および不便を解決するものである。本発明はデータビットを記憶する単純で安価なメモリ素子を提供する。

【0006】本発明のメモリ素子は、基板と第1導電性接続領域と第2導電性接続領域とイオン層とを用いる。基板は、ソース領域とドレイン領域とこれらの領域間に配置されたチャネル領域とを有する。イオン層はイオンを含有し基板に接続される。第1接続領域は、ソース領域に接続され、第2接続領域は、ドレイン領域に接続される。電界がイオン層を介して加えられ、その結果イオン層内のイオンが移動する。

【0007】メモリ素子が論理ハイ状態（即ち1の状態）を表すときには、電界の極性によりイオンはチャネル領域近傍に蓄積する。これによりソース領域とドレイン領域から電子をチャネル領域に引き込みチャネル領域を導電状態にする。メモリ素子が論理ロー状態（即ち0状態）を示すときには電界の極性によりイオンは、チャネル領域から離れる方向に移動する。その結果チャネル領域は、非導通状態となり、第1導電性接続領域と第2導電性接続領域は互いに絶縁される。

【0008】本発明の他の特徴によれば、制御装置を用いて金属素子と基板の電位を操作してイオン層内のイオンの位置を制御する。そのため制御装置は、メモリ素子が論理ハイ状態あるいは論理ロー状態を示すかを制御する。

【0009】本発明の他の特徴によれば、このイオン層はTEOS（テトラエチルオソシリケート：オルトケイ酸テトラエチル=tetraethyl orthosilicate）材料からなる。TEOSは、800℃以上に加熱されたときに、イオンを形成するような材料である。その結果、TEOS材料は、プラズマ堆積され、ボロンまたは磷でドーピングされる。

【0010】本発明はメモリ内に情報を記憶する方法でもある。本発明の方法は、以下のステップで特徴づけることができる。基板を用意するステップと、基板内にソース領域とドレイン領域を形成するステップと、ソース領域と基板領域の間にある基板上に電界をかけることにより層を形成するステップと、電界に反応してイオンを移動させるステップとにより特徴づけられる。

【0011】本発明の利点は、メモリ素子が容易かつ安価に製造可能である点である。本発明の他の利点は、安定なメモリ素子を形成できる点である。そのためメモリ素子の状態が一旦確立されるとこのメモリの状態が切り替わらないようにするためにはさらなる入力が必要としない。その結果、メモリ素子の状態をプログラムするためにメモリ素子に印加される電位は、ターンオフ可能である、あるいはプログラミング後除去できる。

【0012】

【発明の実施の形態】図1は本発明の一実施例によるメモリ素子10を示す。このメモリ素子10はソース領域12とドレイン領域15とを有する基板11を有する。ソース領域12とドレイン領域15はp+型の半導体材料から構成され、通常この材料は伝送に利用可能な過剰な電子e⁻を含んでいる。ソース領域12とドレイン領域15は、基板11の一部により分離され、そして誘電体領域21で接続される。ソース領域12とドレイン領域15の間の基板11の一部がチャネル領域23を形成する。チャネル領域23はp型半導体材料製で、これは電子正孔、即ちホール（h⁺）を有する材料である。

【0013】導電性接続領域26、28は、それぞれソース領域12とドレイン領域15に接続されている。さらにまたイオン層31が誘電体層領域21とソース領域12、ドレイン領域15の上に形成されている。イオン層31は、その中にイオンを含有する材料からなる。イオンは、電荷を有する原子／分子である。この実施例においては、イオン層31内のイオンは正の電荷を有する。誘電体層領域21は、イオン層31をチャネル領域23から絶縁している。さらにまた金属素子35が誘電体層領域21の反対側のイオン層31の上に形成されている。金属素子35は導電性で一実施例においては、ドーピングしたポリシリコン材料製であるが他の材料も使用可能である。

【0014】基板11の電位と金属素子35の電位の間に電位差が存在するように、基板11と金属素子35に電位（差）が加えられる。この電位差により、イオン層

31を介して通過しイオン層31内にあるイオンを移動させる電界が形成される。例えば、イオン層31の電位が基板11の電位よりも大きい場合には、イオン層31にかかる電界にตอบสนองして、イオン層31内のイオンは金属素子35から基板11の方向に向かって移動する。しかし、電位差の極性が反転すると金属素子35の電位は基板11の電位よりも低くなり、イオン層31を通る電界の方向が逆になり、イオン層31内のイオンは、基板11から金属素子35の方向に移動する。

【0015】図2は、基板11と金属素子35との間にかかる電位差が、イオン層31のイオンが金属素子35から出ていくように移動し、誘電体層領域21の表面近傍に蓄積するような極性と十分な大きさを有するときのメモリ素子10の状態を示す。イオン層31内のイオンの正の電荷は、ソース領域12、ドレイン領域15の電子を引き込み、そしてこの電子をチャネル領域23内に押す出す。そのため電気がソース領域12とドレイン領域15との間をチャネル領域23を介して流れる。その結果メモリ素子10が図2に示す状態にあるときには、導電性接続領域28にかかる電位は導電性接続領域26により検出され、そのためメモリ素子10は論理ハイの状態となる。

【0016】図3は、基板11と金属素子35との間の電位差がイオン層31のイオンが金属素子35の方向に向かって移動し、金属素子35の表面近傍に蓄積できるような極性と大きさを有するときのメモリ素子10を示す。イオン層31内のイオンは、もはやチャネル領域23の近傍には存在せず、そのためソース領域12とドレイン領域15からの電子はチャネル領域23内には引き込まれない。そのためソース領域12とドレイン領域15との間で電流が流れるのに十分な数の電子がチャネル領域23内には存在しない。その結果メモリ素子10が図3に示す状態にあるときには導電性接続領域26と28の間に係る電位は、検出可能な電流とはならず、そのためメモリ素子10は論理ローの状態にある。

【0017】メモリ素子10を論理ハイの状態または論理ローの状態の何れかに切り換えるために必要な基板11と金属素子35との間の電位差は、様々なファクタによって変動する。この点に関しては、使用される材料の種類と金属素子35と基板11との間の距離およびイオン層31とチャネル領域23との間の距離がメモリ素子10を論理ハイの状態あるいは論理ローの状態にさせるのに必要な電位差に影響する。

【0018】このためメモリ素子10を論理ハイの状態に置くのに十分な電位差は、イオン層31内のイオンをチャネル領域23の方向に押しだし、その結果チャネル領域23が導電性となるような電位差である。逆にメモリ素子10を論理ローの状態に置くために必要な電位差はイオン層31内のイオンが金属素子35の方向に押し出され、チャネル領域23が非導通状態となるような電

位差である。

【0019】図4は、金属素子35と基板11の電位差を変化させるのに用いる制御装置41を示す。制御装置41は、金属素子35と基板11に接続され、金属素子35と基板11の電位を独自に設定するよう構成される。さらにまた制御装置41は、プロセッサ、デジタル信号プロセッサおよび/または論理ゲートとを含み、金属素子35と基板11にかかる電位を決定する。

【0020】別法として、あるいはこれらのプロセッサと組み合わせて、制御装置41はスイッチ、ノブ、ダイヤル、ボタン等のマニュアルの装置でユーザがメモリ素子10がプログラムできるような状態になるように手動で切り換えることができるものである。そのため制御装置41は金属素子35と基板11との間の適宜の電位差を形成し、そしてメモリ素子10が所望の状態を表すように構成される。言い換えると制御装置41は、金属素子35と基板11との間の電位差を制御することによりメモリ素子10をプログラムする。

【0021】図5は、デジタルワードを形成ための複数のメモリ素子10を用いたシステム45を示す。各メモリ素子10はデジタルワードのビットに対応し、これにより図5のメモリ素子10は、4ビットワードを規定する。したがって、4ビットワードの値は、各メモリ素子10のビットの値に依存して特定の状態を示すようにプログラムすることにより、特定の値に設定することができる。メモリ素子10の数を変化させてデジタルワードの長さを変化させることができる。

【0022】図5に示すように、接続導体48は電圧(V)を各メモリ素子10に接続する。接続導体48は各メモリ素子10の導電性接続領域28(図1)に接続される。さらにまた接続導体52, 53, 54, 55はそれぞれ図5に示すメモリ素子10の1つに接続される。各接続導体52-55は、それぞれのメモリ素子10の導電性接続領域26(図1)に接続される。接続導体52-55は、図5に示すように抵抗58を介して別の電圧源に接続される。図5においては、抵抗58を介して接続導体52-55に接続される別の電圧源は接地電位であるが、接続導体52-55に抵抗58を介して接続される電位が接続導体48に接続される電位と異なる限り他の電位でもよい。

【0023】検出器62が接続導体52-55に接続される。この検出器62は、接続導体52-55上の電位を検出し、システム45によりプログラムされた4ビットワードを決定する。接続導体52-55の各々の電位は、それぞれのメモリ素子10の状態に対応し、その結果4ビットワードのビットに対応する。4ビットワードのビットは、接続導体52-55の電位により検出器62により検出されるハイ(高)またはロー(低)の何れかに決定される。

【0024】図5は、本発明の必要な特徴を必ずしも示

すものではなく、システム45の他の構成も本発明を実現するために用いることもできる。

【0025】さらにまたイオン層31を通る電界は、イオン層31と基板11との間の電位差により導入する必要は必ずしもない。他の実施例では、イオン層31内のイオンが移動できるようにイオン層31に十分な電界をかけることもできる。イオン層31内のイオンを移動させるために、イオン層31に電界をかけるどのような実施例も本発明を実現するものである。

【0026】次に本発明のメモリ素子10の動作について述べる。図6Aにおいて、誘電体層領域21が基板11の上にLOCOSプロセスを用いて形成される。好ましくはこの誘電体層領域21の材料は、例えば熱酸化物(例、 SiO_2)である。基板11は他の異なる材料および/または層を含んでもよい。しかし、ソース領域12とドレイン領域15との間のチャネル領域23を形成する基板の部分は、p型半導体材料を含むのが好ましい。

【0027】図6Bに示すように、基板11のソース領域12とドレイン領域15は適宜の製造プロセスにより製造されたn+型の半導体材料製である。好ましくは、各ソース領域12とドレイン領域15は、誘電体層領域21に近接する端部を有し、誘電体層領域21の表面に近接するイオン層31内に蓄積されたイオンの正電荷が電子をソース領域12とドレイン領域15からチャネル領域23に引き出すようにするのがよい。

【0028】実際に本発明の一実施例においては、ソース領域12とドレイン領域15は図6Bに示すように誘電体層領域21により直列接続されている。ソース領域12とドレイン領域15が誘電体層領域21に直列接続されている場合には、誘電体層領域21は絶縁性であり、その結果誘電体層領域21はソース領域12とドレイン領域15を短絡することはない。

【0029】誘電体層領域21とソース領域12とドレイン領域15とが基板11の上、あるいはその中に形成されると、イオン層31が図6Cに示すように適宜の製造プロセスを用いて誘電体層領域21の上に形成される。次に、金属素子35と導電性接続領域26、28が図1に示すような適宜の製造技術を用いて形成される。本発明の一実施例においては、金属素子35は誘電体層領域21から8000オングストロームの上の位置に形成され、その厚さは(即ち、y方向の長さ)、誘電体層領域21の最も厚い部分は、約2000オングストロームである。さらに導電性接続領域26、28はソース領域12、ドレイン領域15に接続される。

【0030】前述したようにイオン層31はイオンを生成し、このイオンは金属素子35と基板11にかかる電位差に応じて移動する。本発明の一実施例においては、イオン層31の材料は、プラズマ堆積したTEOS(テトラエチルオーソシリケート=tetraethyl orthosilica

te)であり、ボロンまたはリンの何れかでドーピングされる。このプラズマ堆積されたTEOSは、800℃以上に加熱されたときにイオンを形成する。

【0031】しかし、イオンを形成するのに最も最適な値は、TEOSを950℃以上に加熱するのが好ましい。そのため図1に示すメモリ素子10の製造の間メモリ素子10は950℃以上で約10~15秒間高速熱アニールにより加熱するのが好ましい。長期間の加熱も可能であるが、必ずしもその必要がない。プラズマ堆積されたTEOSを加熱することにより、イオンがイオン層31内に形成される。

【0032】複数のメモリ素子10が上記した方法により、バッチ処理あるいは他の製造形態でもって形成される。その後メモリ素子10を図5に示すように、システム45内に組み込む。各メモリ素子10の導電性接続領域28は接続導体48に接続され、導電性接続領域26は接続導体52、53、54、55の1つに接続される。しかし、前述したように図5に示すシステム45内にメモリ素子10を形成することは本発明に必要なことでは必ずしもない。

【0033】

【発明の効果】図4に示すように、メモリ素子10の基板11と金属素子35が制御装置41に接続され、電位差を基板11と金属素子35に加える。論理ハイの状態を表すように、メモリ素子10の1つをプログラムすることにより、金属素子35の電位は基板11の電位よりも高くなり、その結果イオン層31内のイオンが誘電体層領域21近傍に蓄積する(図2)。

【0034】その結果、ソース領域12とドレイン領域15からの電子がチャネル領域23内に入り、チャネル領域23を導通状態にする。そのため電流は、ソース領域12とドレイン領域15の間および導電性接続領域26と28の間を流れる。したがって、検出器(図5)は、プログラムされたメモリ素子10に応じて接続導体52、53、54、55上の電流を検出する。

【0035】逆に、論理ローの状態を示すようにメモリ素子10の1つをプログラムするために、制御装置41は金属素子35の電位を基板11の電位以下にして、その結果イオン層31内のイオンが金属素子35近傍に蓄積するようにする(図3)。その結果イオン層31のイオンは、チャネル領域23から十分遠くに離れ、ソース領域12とドレイン領域15の電子をチャネル領域23内に引き込む、したがって電流はソース領域12とドレイン領域15との間、および導電性接続領域26と28の間では流れない。その結果、検出器62(図4)は、プログラムされたメモリ素子10に対応する接続導体52、53、54、55上の電流を検出することができず、それに応じて検出器62は、メモリ素子10が論理ローの状態を表していると決定する。

【0036】接続導体52-55を流れる電流を解析す

ることにより、検出器 62 (図 5) は、システム 45 の 4 ビットワードの値を決定できる。さらにまた何れかのメモリ素子 10 の論理状態は、メモリ素子 10 の基板 11 と金属素子 35 に前に印加されていた電位差の極性を逆にすること、即ち変化させることにより切り換えることができる (即ち、再プログラミングすることができる)。したがって、各メモリ素子 10 はイオン層 31 内のイオンの位置を制御することにより特定の論理状態を表すようプログラムあるいは再プログラムすることができる。

【0037】プラズマ堆積した TEOS をイオン層 31 として用いることにより、非常に安定したメモリ素子 10 を構成することができる。プラズマ堆積した TEOS 内に形成されたイオンは、容易には移動することはないからである。そのためメモリ素子 10 の状態が一旦確立されると基板 11 とドレイン領域 15 に印加される電位差は、メモリ素子 10 の状態を切り換えることなく取り除くことができる (即ち、メモリ素子 10 は非揮発性となる)。イオン層 31 内のイオンの移動を容易にするために、メモリ素子 10 をプログラミングする際に、メモリ素子 10 を 200℃ 以上に加熱するのが好ましい。

【0038】上記に示した以外のメモリ素子 10 の構成要素の寸法を用いることができる。しかし、寸法を変更することは、メモリ素子 10 を特定の状態に置くために必要な電位差に影響を及ぼす。さらにまた各構成要素は、さまざまな追加される層がメモリ素子 10 の動作を阻止しない限り様々な層および/または材料を含むこともできる。例えば、イオン層 31 は異なる材料がイオン層 31 内のイオンが移動し、その結果メモリ素子 10 の状態を切り換える限り、異なる材料の複数の層を含むことができる。

【0039】さらにまた誘電体層領域 21 は、本発明の必須の構成要件ではない。多くの実施例においては、イ

オン層 31 とチャネル領域 23 とをある種の絶縁材料 (必ずしも誘電体材料である必要はない) で分離して、イオン層 31 内のイオンがチャネル領域 23 内に通過するのを阻止するのが望ましい。

【図面の簡単な説明】

【図 1】本発明のメモリ素子の断面図

【図 2】図 1 のメモリ素子が論理ハイ (高) 状態を示すときの断面図

【図 3】図 1 のメモリ素子が論理ロー (低) 状態を示すときの断面図

【図 4】金属素子と基板に電位をかけるために用いられる制御装置に接続される図 1 の素子の断面図

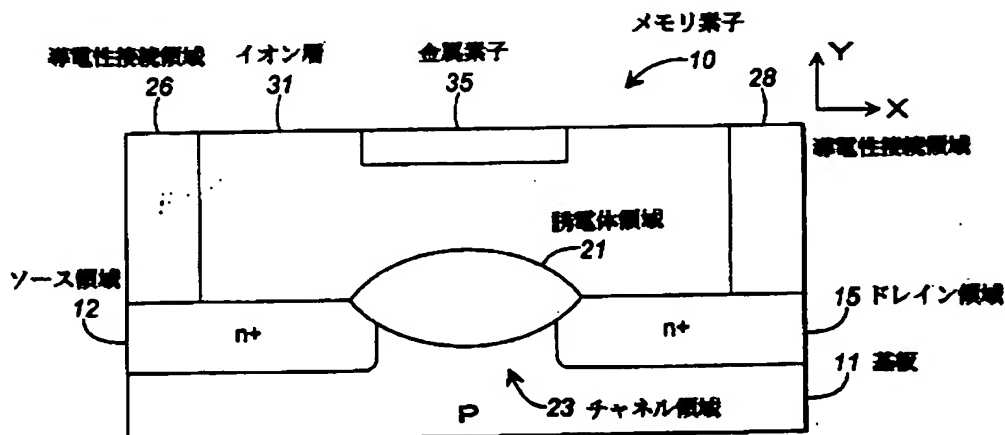
【図 5】4 ビットデジタルワードを規定するための図 1 のメモリ素子を用いたシステムのブロック図

【図 6】A 誘電体が基板上に形成された後の図 1 の基板の断面図 B ソース領域とドレイン領域が基板内に形成された後の基板の断面図 C イオン層が基板上に形成された後の B の基板の断面図

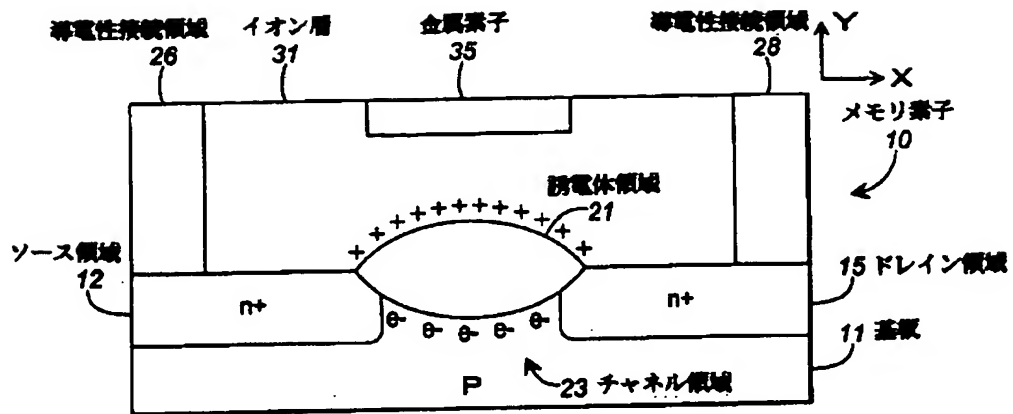
【符号の説明】

- 10 メモリ素子
- 11 基板
- 12 ソース領域
- 15 ドレイン領域
- 21 誘電体領域
- 23 チャネル領域
- 26, 28 導電性接続領域
- 31 イオン層
- 35 金属素子
- 41 制御装置
- 45 システム
- 48, 52, 53, 54, 55 接続導体
- 58 抵抗
- 62 検出器

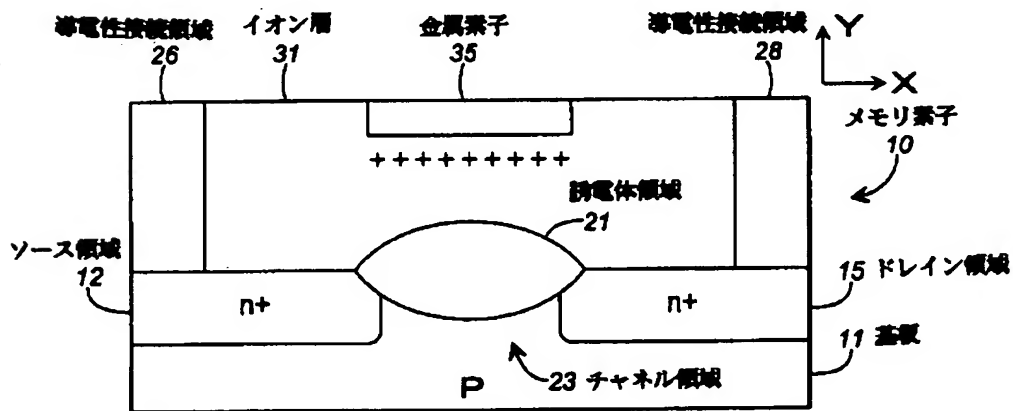
【図 1】



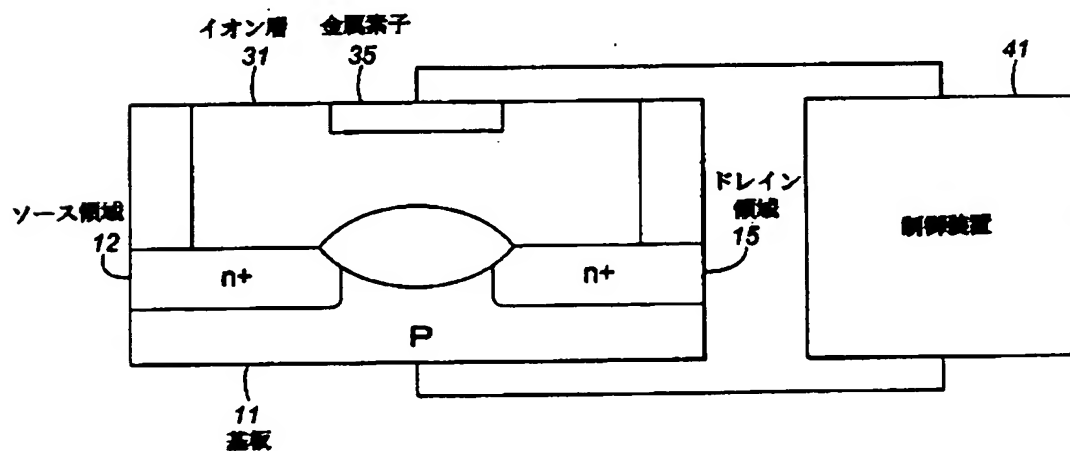
【図2】



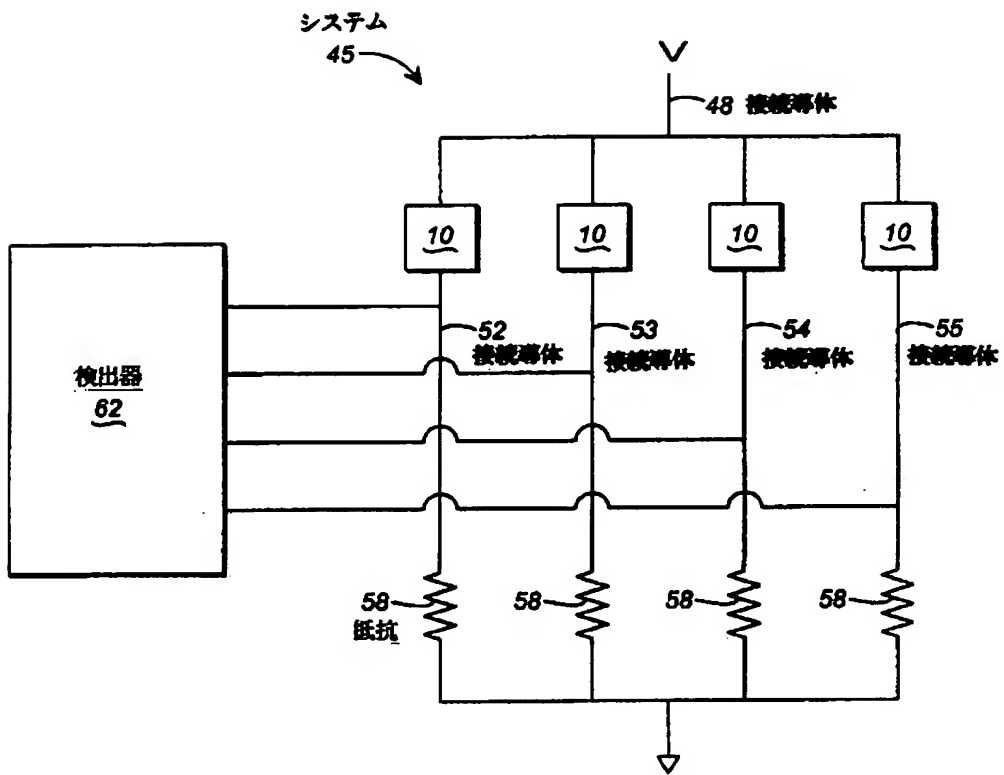
【図3】



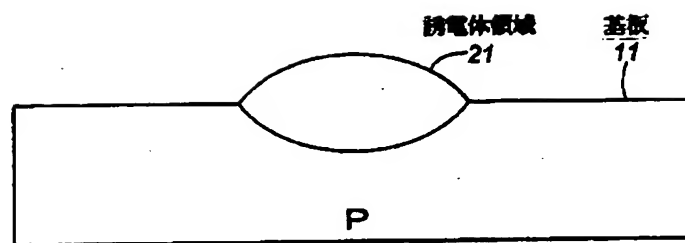
【図4】



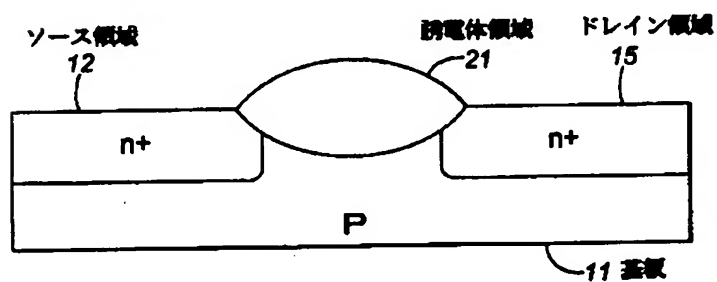
【図5】



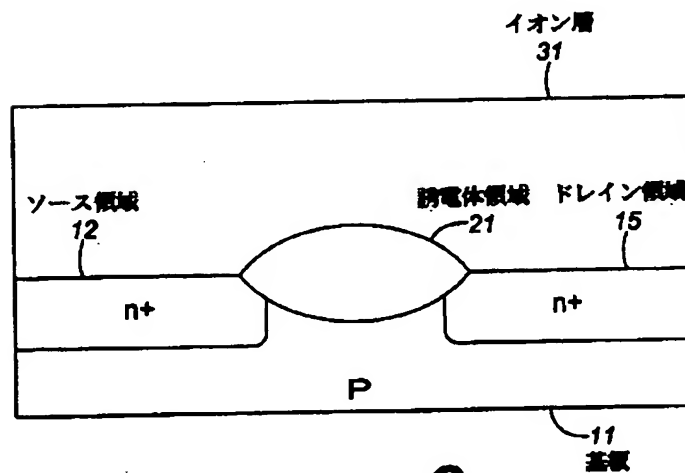
【図6】



A



B



C

フロントページの続き

(51) Int. Cl.⁷H01L 27/115
29/78

識別記号

F I

テーマコード(参考)

(71)出願人 596077259
600 Mountain Avenue,
Murray Hill, New Je
rsey 07974-0636U. S. A.

(72)発明者 アイジック シー, キジルヤリ
アメリカ合衆国、07041 ニュージャージ
ー、ミルバーン、ファービュー ロード
25
(72)発明者 ステファン カール キューン
アメリカ合衆国、32812 フロリダ、オー
ランド、スポッツウッド ドライブ 4913

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☒ OTHER: holes between words

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.